順序回路

コンピュータ基礎 (6)

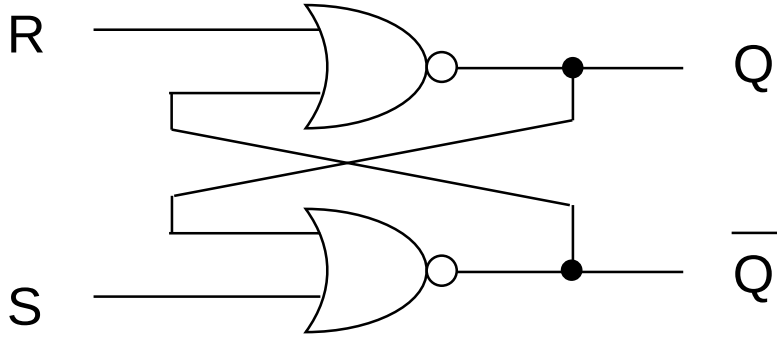
菊池浩明

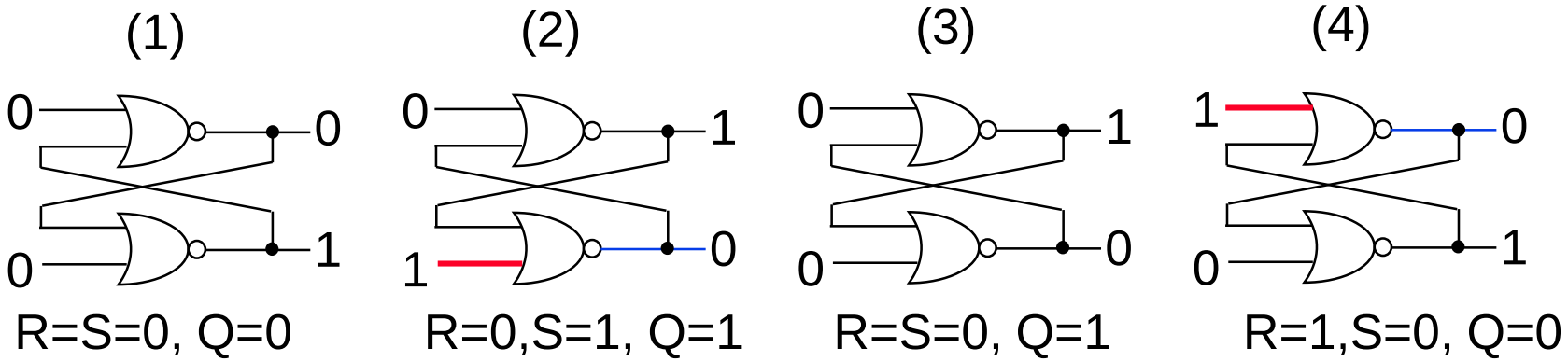
講義概要

- 教科書
  - 3章論理回路
  - 4. 順序回路
    - » フリップフロップ，カウンタ
    - » タイミングチャート，クロック
    - » 有限状態マシン

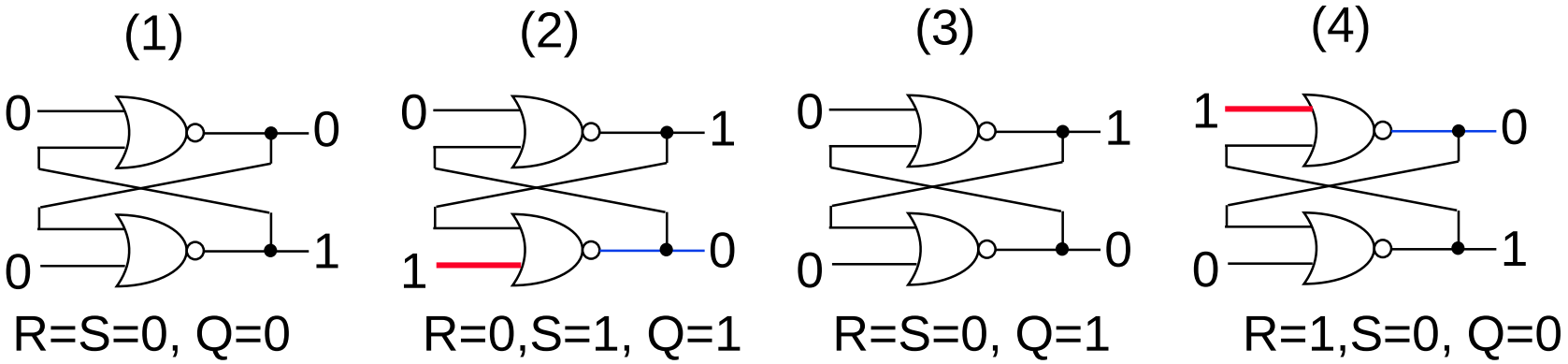
1. RS-フリップフロップ

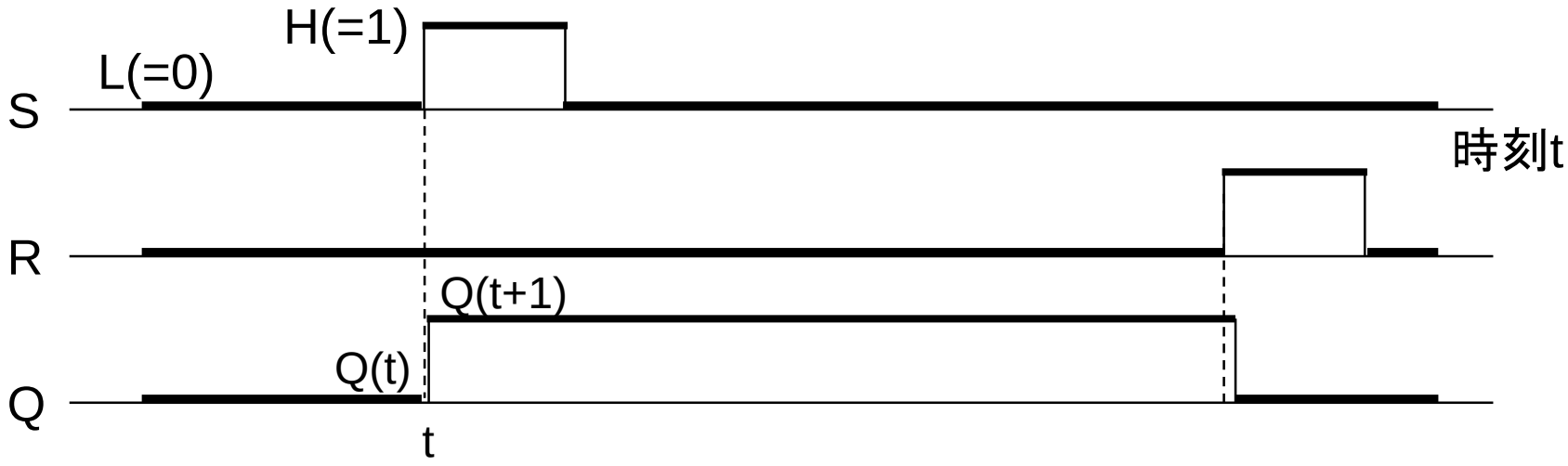
- RS-Flip Flop
  - 二つの安定状態(1), (3)を取る順序回路





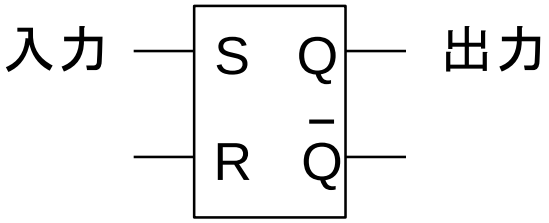
タイミングチャート

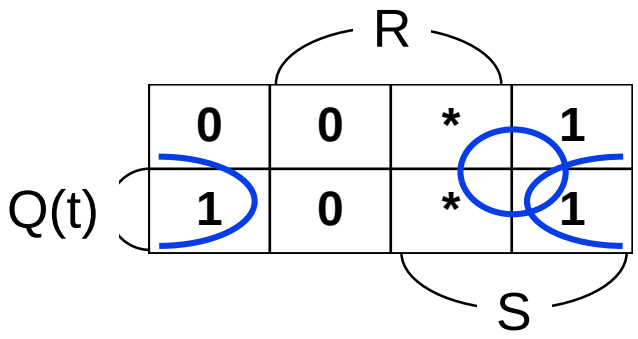

(1)
0
0
0
1
R=S=0, Q=0
(2)
0
1
1
0
R=0,S=1, Q=1
(3)
0
1
0
0
R=S=0, Q=1
(4)
1
0
0
1
R=1,S=0, Q=0


H(=1)
L(=0)
S
時刻t
R
Q(t+1)
Q(t)
Q
t

RS-FFの特性方程式

- 入出力特性
  - Q(t+1) = S(t) V ~R(t) Q(t)





* = 入力禁止

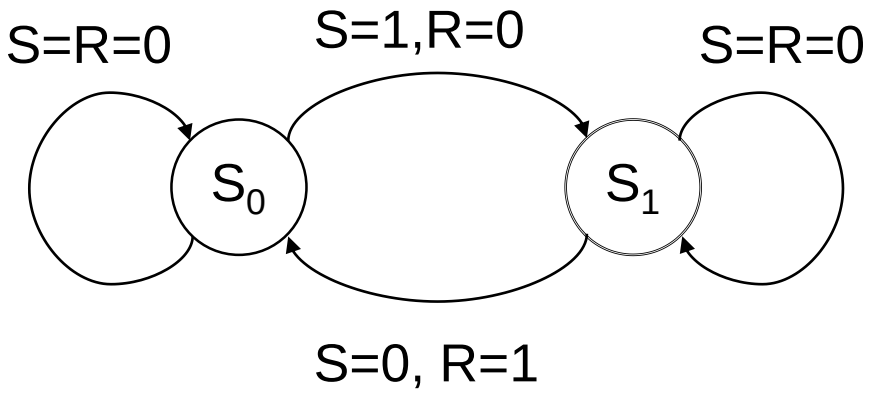
Q(t+1)のカルノー図

RS-FFの状態遷移図

- 有限オートマトン
  - 状態: S0 = (Q(t) = 0, ~Q=1), S1 = (Q(t)=1, ~Q=0)
  - 入力: R, S

入力 \ 状態	S0	S1
S=1	S1	S1
R=1	S0	S0
S=R=0	S0	S1

状態遷移表

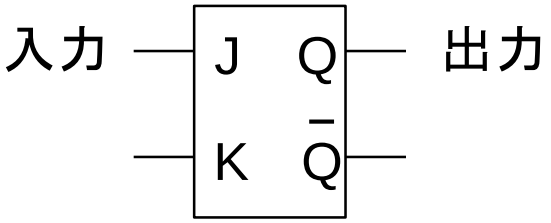


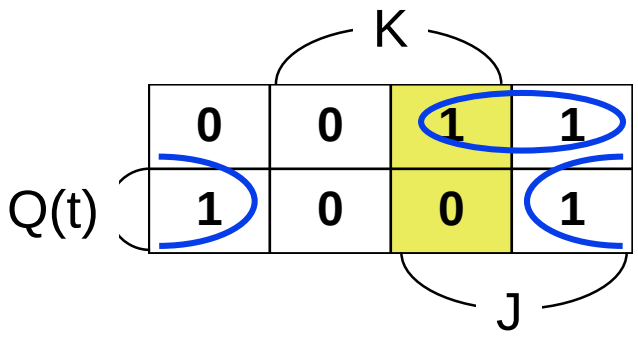
演習

- 問17改
  - RS型フリップフロップをNAND素子を用いて構成せよ.
  - (R=S=1, Q=0から始めて，4状態を求めよ）

2. JK-フリップフロップ

- 入出力特性
  - Q(t+1) = J(t) ~Q(t) V ~K(t) Q(t)



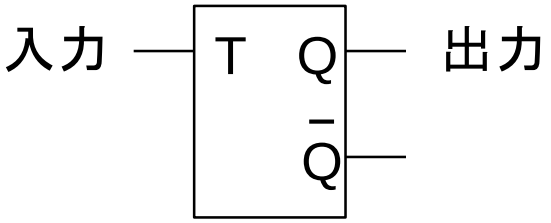


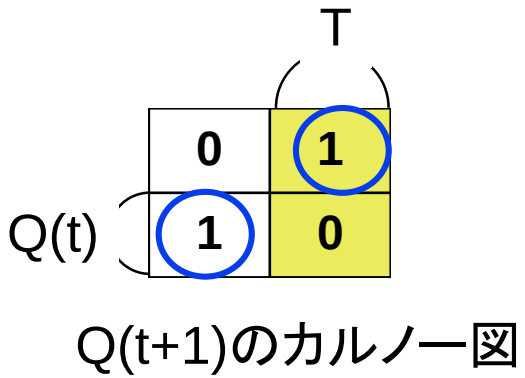
Q(t+1)のカルノー図

  - S=J, R=KのRS-FFとみなすことも出来る
  - J=K=1の時は，入力を反転

3. T-フリップフロップ

- 入出力特性
  - Q(t+1) = T(t) ~Q(t) V ~T(t) Q(t)



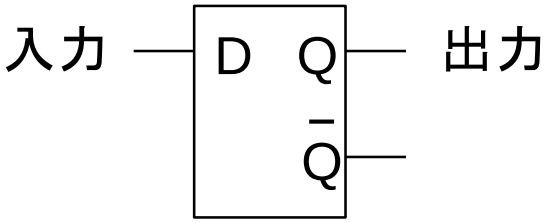


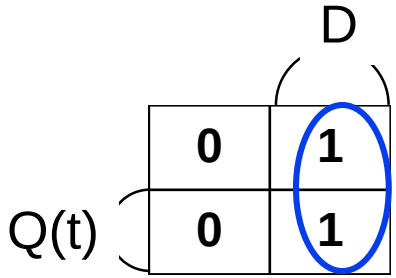
Q(t+1)のカルノー図

  - T(Toggle) 反転型

4. D-フリップフロップ

- 入出力特性
  - Q(t+1) = D(t)



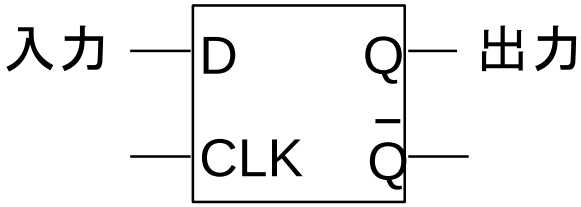


Q(t+1)のカルノー図

  - D (Delay) 型.（参考，ラッチ）

クロックパルス

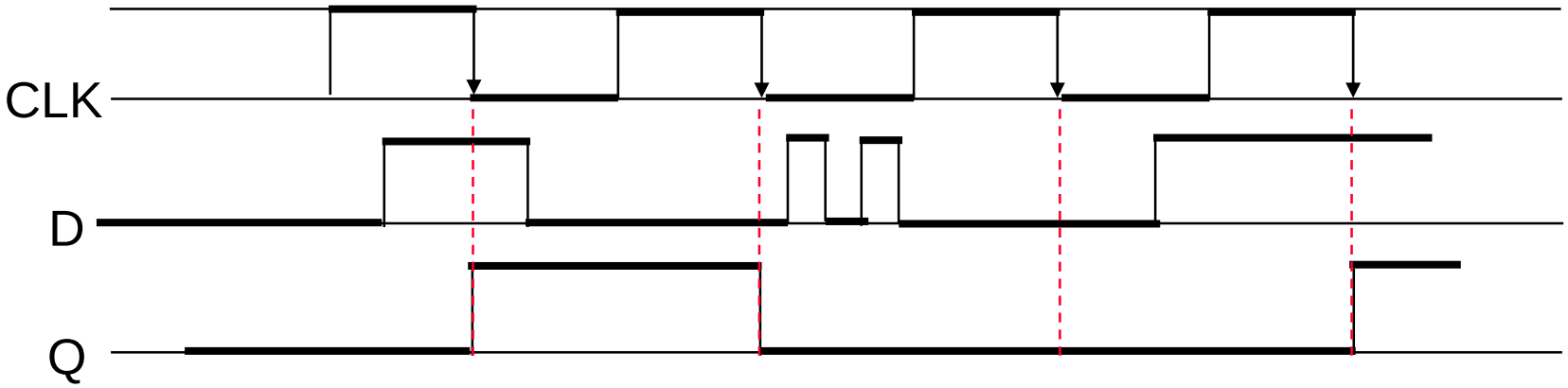
- 同期式順序回路
  - CLK に応じて状態が遷移する



クロック付D-FF

cf) ポジティブエッジトリガー
（アップエッジ）

ネガティブエッジトリガー
（ダウンエッジ）

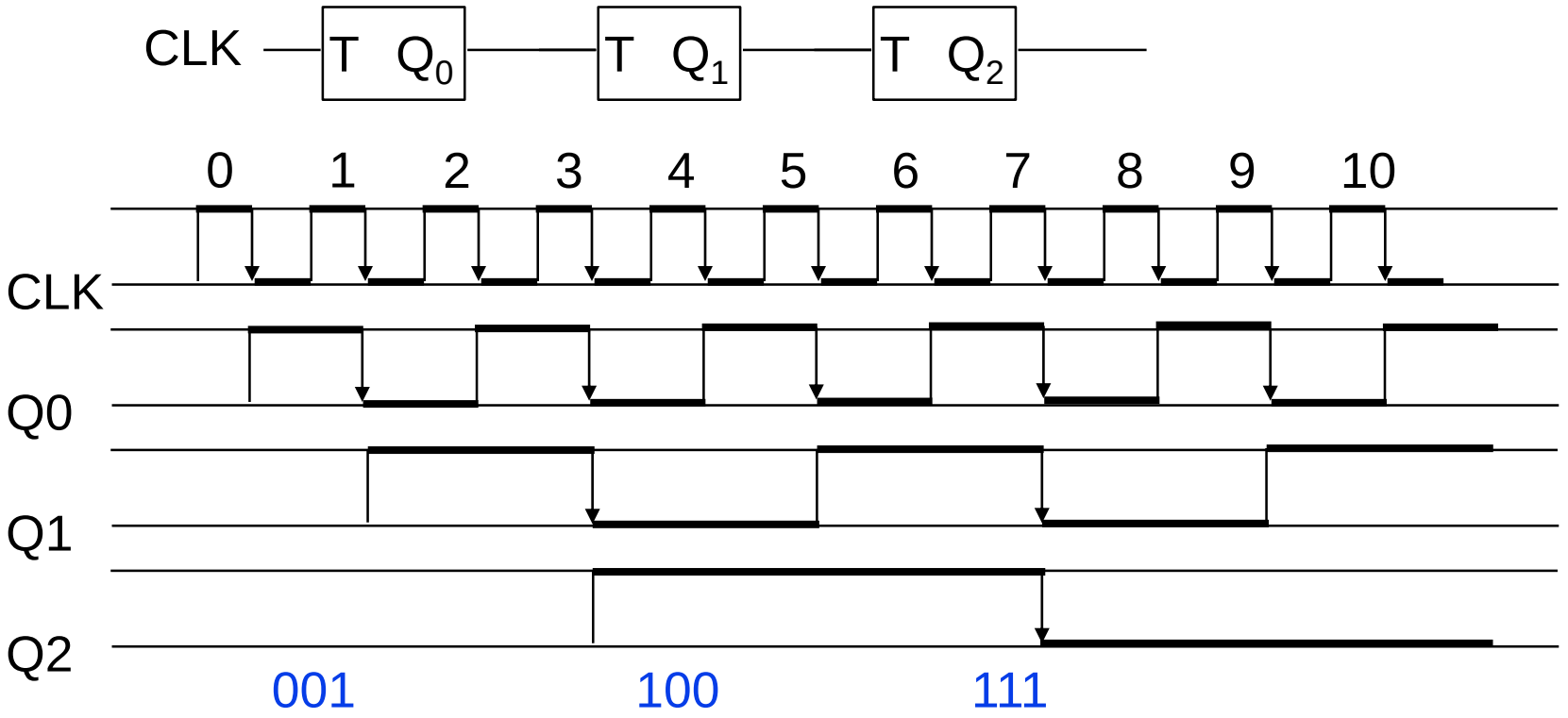


レジスタ

- register
  - データの一時的な（高速な）記録装置.
  - メモリレジスター
    - » R(read)/W(write), nビットの入力，出力
  - シフトレジスター
    - » Shiftパルスにより（右・左）シフトを実行する

5. カウンタ

- 2^3進カウンタ
  - 3つのT-FFの直列回路 (分周回路)



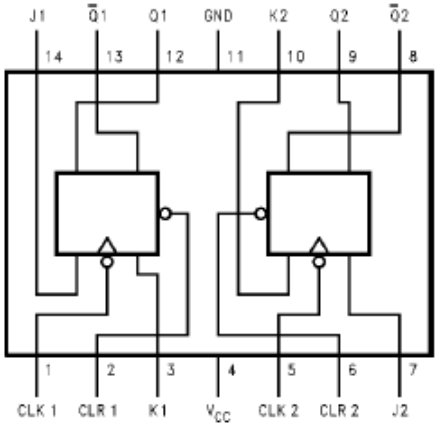
6. RAM

- 基本記憶素子 (Basic Memory Cell)
  - 1ビットの記憶素子 = RS-FF
- RAM (Random Access Memory)
  - BMCをアレイ状に配置
  - S(Static)-Ram
  - Read/Write, Data, Address信号

TTLの例

- 7473 J-K Filp-Flops with Clear

Connection Diagram



Function Table

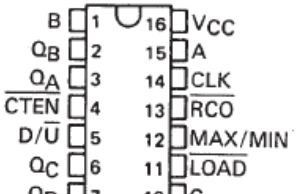
Inputs				Outputs	
CLR	CLK	J	K	Q	$\overline{Q}$
L	X	X	X	L	H
H	⎍	L	L	Q_0	$\overline{Q}_0$
H	⎍	H	L	H	L
H	⎍	L	H	L	H
H	⎍	H	H	Toggle	

H = HIGH Logic Level
L = LOW Logic Level
X = Either LOW or HIGH Logic Level
⎍ = Positive pulse data. the J and K inputs must be held constant while the clock is HIGH. Data is transferred to the outputs on the falling edge of the clock pulse.
Q_0 = The output logic level before the indicated input conditions were established.
Toggle = Each output changes to the complement of its previous level on each HIGH level clock pulse.

- 74190 Sync. UP/Down Counters

- Counts 8-4-2-1 BCD or Binary
- Single Down/Up Count Control Line
- Count Enable Control Input
- Ripple Clock Output for Cascading
- Asynchronously Presettable with Load Control
- Parallel Outputs
- Cascadable for n-Bit Applications

SN54190, SN54191, SN54LS190,
SN54LS191 . . . J PACKAGE
SN74190, SN74191 . . . N PACKAGE
SN74LS190, SN74LS191 . . . D OR N PACKAGE
(TOP VIEW)

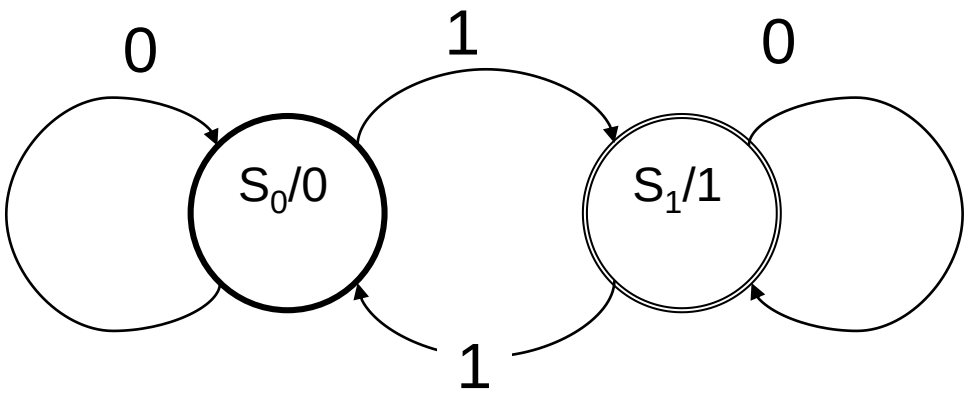


7. 順序回路の設計

- 状態遷移関数
  - $\delta(S_0,1)=S_1$, S_0=「奇数」, S_1=「偶数」
  - 出力関数 $g(S_0)=0$, $g(S_1)=1$
  - 例) 初期状態 S_0, 入力列 1011 の出力

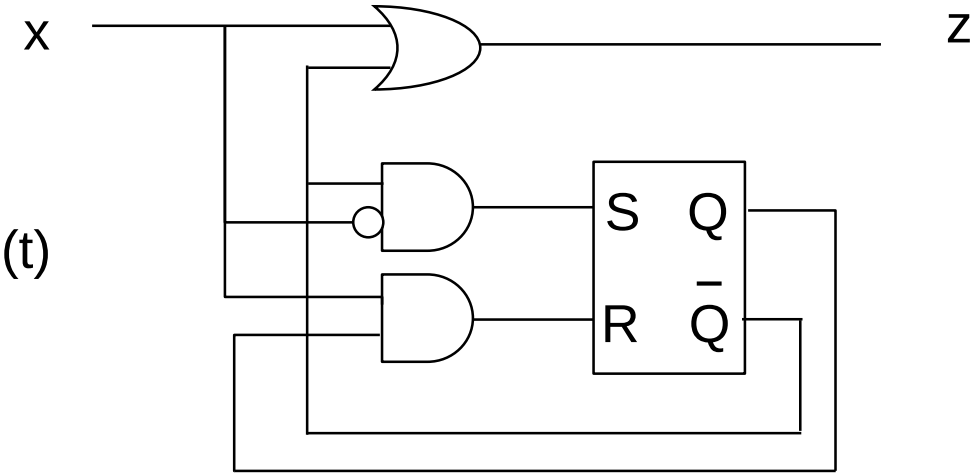
入力 ＼ 状態	S0	S1
0	S0	S1
1	S1	S0

状態遷移表δ



例1) 順序回路の解析

- 次の回路の状態遷移図を求めよ.



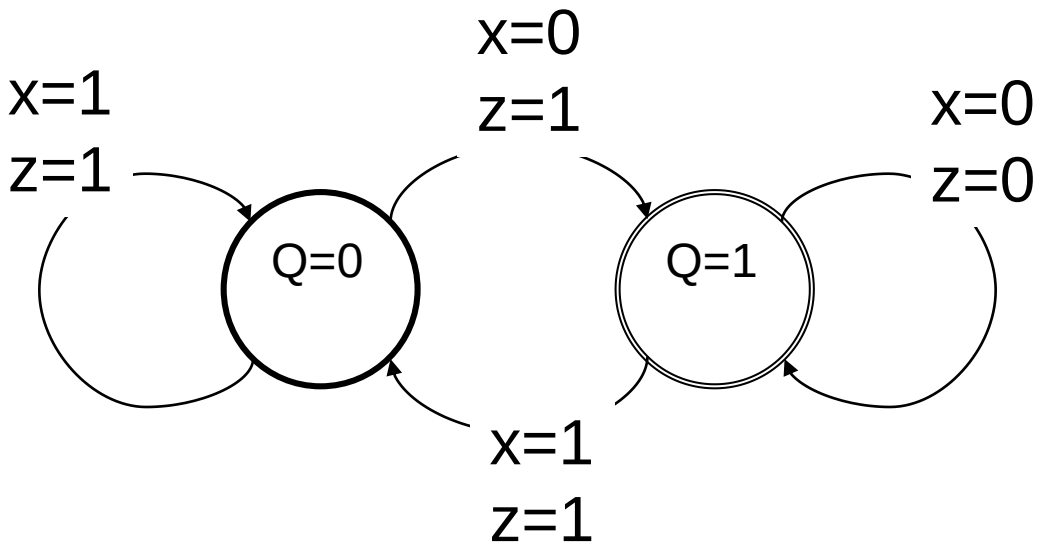
S = ~x~Q(t)
R =
z =

1) Q(t) = 0の時, x = 0ならS = ~0~0 = 1 より Q(t+1) = 1
2) Q(t) = 1の時, x = 0なら S = 0, R=0 ~1 = 0より Q(t+1)=Q(t) = 1
3) Q(t) =1 の時, x = 1なら S=
4) Q(t) = 0の時, x = 1なら S=

例1の状態遷移図

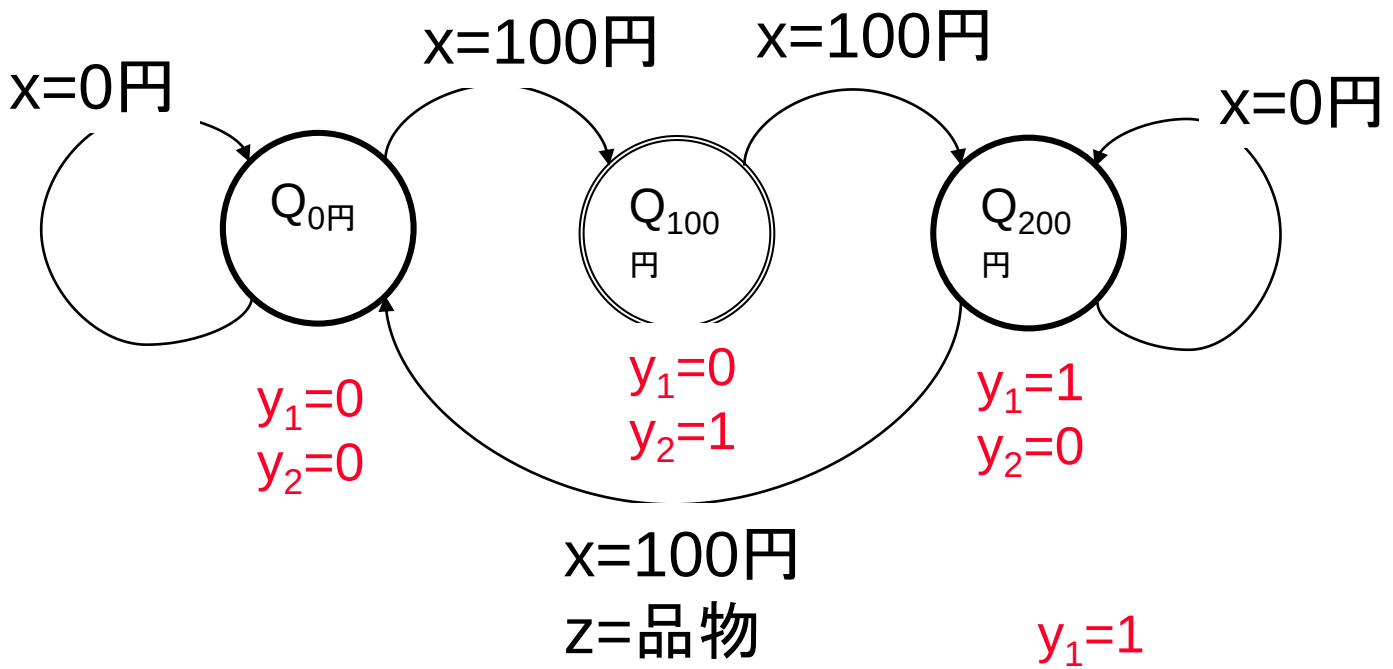
- 励起関数 Q(t+1) = S V ~RQ(t)

  = ~x~Q V~(x Q)Q = ~x~Q V ~xQ = ~x
- 出力関数 g(x,Q) = x V ~Q



例2) 順序回路の構成

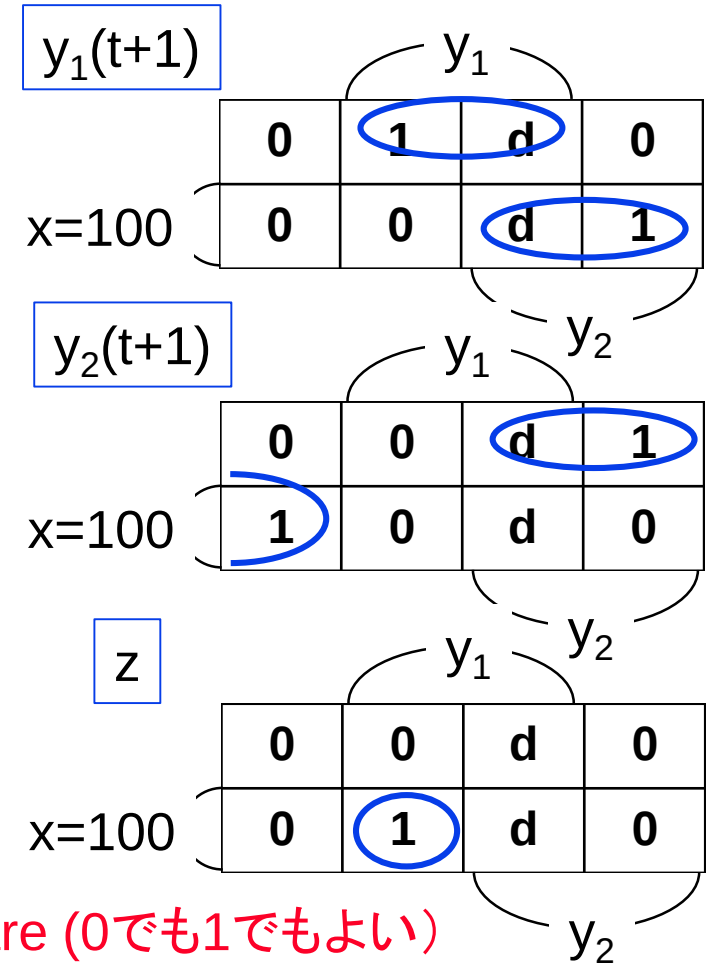
- 300円の品物を販売する自動販売機



例2の回路

- 状態割当，遷移関数

状態 ＼ 割当	y1	y2	x=0	x=100円
Q0	0	0	Q0	Q1
Q1	0	1	Q1	Q2
Q2	1	0	Q2	Q3



- D-FFでの実現

$y_1(t+1) = \sim x y_1 \vee x y_2 = D_1$

$y_2(t+1) = \sim x \sim y_2 \vee x \sim y_1 \sim y_2 = D_2$

$z = x y_1 \sim y_2$

d =don't care (0でも1でもよい)

宿題

- 3章
  - 問18 (JK-FF)
  - 問19 (2^n進カウンター)
  - 問20 (自動販売機)

まとめ

- 状態を持つ回路を（　　）回路という．入出力の関係を表す（　　）により定義される．
- RS-（　　）はRでリセット，Sでセットされる．（ ）-FFは入力値を反転する．カウンターは（ ）-FFを直列に接続して実装する．（ ）-FFは，クロックにより入力を出力に推移する．
- （　　）回路を用いて有限状態オートマトンを構成することが出来る．