

着席番号	資料 持込	不可	電卓・教科書・ノート・配付プリント・参考書・辞書・その他()	試験 問題	回収します
	注意事項	可			

[1] 平均シーク数 6ms となる磁気ディスクがある。次を求めよ。
1. このディスクの回転数 R [rpm].

R = _____

2. トラックあたり 24,000 byte 記憶できる時，データ伝送速度 B[bps].

B = _____

3. 6 トラック/シリンダ, 1000 シリンダある時，総記憶容量 S [byte].

S = _____

[2] 次の CASL のプログラムについて答えよ。
1. 00 番地を実行した後の，レジスタ GR0 の値を求めよ。
GR0 = _____
2. 02 番地を実行後，フラグ ZF を求めよ。
ZF = _____
3. 04 番地では，演算結果が正の時，08 番地にジャンプしたい。下線は，JPL, JMI, JZE, JUMP のどれか？

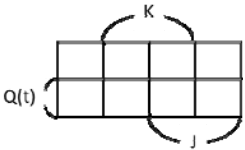
4. プログラムを実行後，書き換えられるメモリの番地と値を求めよ。

0000	PRG	START	BEGIN
0000	BEGIN	LD	GR0, X
0002		CPA	GR0, Y
0004			0008
0006		LD	GR0, Y
0008		ST	GR0, Z
000A		RET	
000B	X	DC	#3
000C	Y	DC	#4
000D	Z	DC	#5

番地 _____ 値 _____
5. このアーキテクチャーは何ビットか？ _____

なお，LD R, A は A 番地の値をレジスタ R にロードする。ST R, A は R の値を A 番地のメモリに格納する。CPA R, A は，レジスタ R と A 番地の値の差を計算してフラグをセットする。ZF は演算結果が 0 の時 1 にセット。

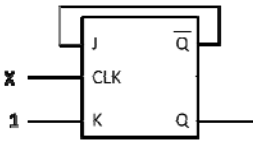
[3] JK-FF の入出力特性は， $Q(t+1) = J(t)\overline{Q(t)} \vee K(t)Q(t)$ で表される。
1. カルノー図を埋めよ。



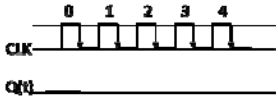
2. 右の結線図の回路において， $Q(t)=0$ の時，X が 1 から 0 に変化して，t+1 の状態に推移する時， $Q(t+1)$ を求めよ。

$Q(t+1) =$ _____

3. この回路図のタイムチャートに，Q の変化を書き込み完成させよ。



4. この回路を直列につないで 16 進カウンタを作りたい。JK-FF はいくつ必要か？ _____



[4] n=6bit で表される符号付き整数を考える。
1. 2 の補数表現されている 101100₍₂₎ を 10 進数にせよ。

2. -21 を 2 の補数で表せ。 _____

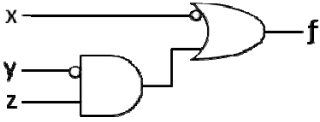
3. 表現できる最小値を求めよ。 _____

4. 表現できる最大値を求めよ。 _____

5. 20 + 16 を求めよ。 _____

[5] 次の式を簡単化せよ。
1. $\overline{A}\overline{B}\overline{C} \vee \overline{B}\overline{C} \vee \overline{A}\overline{C} =$

2. $\overline{A}B \vee \overline{A}C \vee \overline{A}BC =$



[6] 次の論理回路を考える。
1. f の論理式を求めよ。

2. 主加法標準形を求めよ。

3. 乗法形式を求めよ。

[7] 次の文章は，SRAM または DRAM について述べられている。どちらについて書かれているか，S(=SRAM), D(=DRAM)の記号で示せ。

- a. アクセスが高速である。 _____
- b. リフレッシュが必要である。 _____
- c. コンデンサを用いて情報を記録している。 _____
- d. bit を記録するのにより多くのトランジスタが必要。 _____
- e. フリップフロップを用いてる。 _____
- f. 主記憶に用いられている。 _____

[8] 次の文章のカッコに選択肢の記号を埋めよ。重複する記号がある。
ROM は() Only Memory, RAM は() Access Memory の略である。アイトルブルイーは米国電気電子学会であり，()と書く。

状態を持たない回路を()，持つものを()という。デコーダーは()，全加算器は()である。同期式回路では()によって状態を推移する。

プロセッサは，情報を保存する()と演算を行う()の間でデータを転送し，様々な処理をする。CASL は仮想アーキテクチャー COMET の()である。LD GR1, 3 において，ロードを意味する LD を()，引数を表す GR1, 3 を()という。COMET が直接実行できる形式を()といい，それから CASL の形式に変換することを()という。

インテルアーキテクチャーには，8bit の()，32bit の()，64bit の()などのシリーズがある。ここで，ビット数は()の幅や()の大きさを表している。

命令を実行するには，命令を()，命令の()，命令の実行，結果の格納の 4 つのフェーズがあり，この順に処理を繰り返すことでプログラムを実行している。並列処理により，このフェーズを連続して実行する高速化技術を()という。

アドレスを指定してデータが読みだされるまでの時間を()という。()はクロックと同期して，連続したデータを()転送する。キャッシュメモリは，低速の()と高速の()を補う仕組みであり，メモリの局所性が高いほど()が高くアクセスが早くなる。フラッシュメモリは，不揮発性の半導体メモリであり，電氣的に消去のできるプログラマブルな()の一種である。

選択肢：

ア 8086, イ Core i7, ウ Decode, エ EEPROM, オ Fetch, カ I3E, キ IEEE, ク Pentium, ケ Read, コ Random, サ SDRAM, シ. アセンブラ, ス. オペコード, セ. オペランド, ソ. クロック, タ. パースト, チ. パス, ツ. パイプライン処理, テ. ヒット率, ト. レイテンシー, ナ. レジスタ, ハ. 機械語, ヒ. 逆アセンブル, フ. 組合せ回路, ヘ. 順序回路, ホ. 主記憶,

2015 年	1 月	26 日 (月)	時限	秋期	施行	採点
科目名 コンピュータ基礎 担当者 菊池 浩明						
学部	学科	年	組	番	氏名	